

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-335497

(43)Date of publication of application : 18.12.1998

(51)Int.Cl. H01L 21/8247
 H01L 29/788
 H01L 29/792
 H01L 27/115

(21)Application number : 09-146587

(71)Applicant : SONY CORP

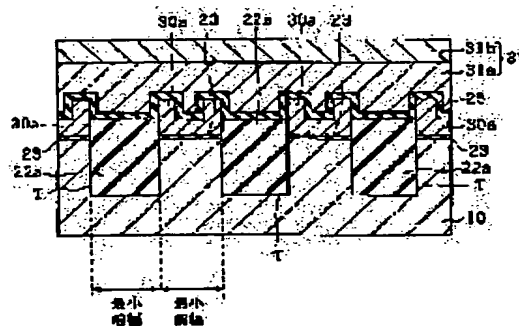
(22)Date of filing : 04.06.1997

(72)Inventor : TAKABAYASHI KOSAKU

(54) SEMICONDUCTOR NON-VOLATILE STORAGE DEVICE AND ITS MANUFACTURE**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a semiconductor non-volatile storage device that can be further integrated and miniaturized, by increasing the coupling ratio between a control gate and a floating gate.

SOLUTION: A semiconductor non-volatile storage device has an element isolation insulation film 22a that is formed at least one side of the channel formation region of a semiconductor substrate 10, a gate insulation film 23 that is formed on the channel formation region, a floating gate 30a with a recessed shape being formed on the gate insulation film 23, an intermediate insulation film 25 that is formed on the floating gate 30a, and a control gate 31 that is formed on the intermediate insulation film 25.

**LEGAL STATUS**

[Date of request for examination]

19.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335497

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8247
29/788
29/792
27/115

H 0 1 L 29/78 3 7 1
27/10 4 3 4

審査請求 未請求 請求項の数14 O L (全 13 頁)

(21) 出願番号 特願平9-146587

(22) 出願日 平成9年(1997)6月4日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 高林 幸作

東京都品川区北品川6丁目7番35号 ソニー株式会社内

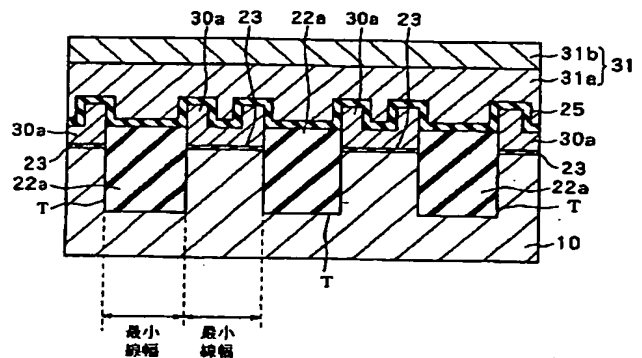
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体不揮発性記憶装置およびその製造方法

(57) 【要約】

【課題】 コントロールゲートとフローティングゲートのカップリング比を大きくとることにより、さらに装置の高集積化、微細化をすることができる半導体不揮発性記憶装置を提供する。

【解決手段】 半導体基板10のチャネル形成領域の少なくとも一方側に形成された素子分離絶縁膜22aと、前記チャネル形成領域上に形成されたゲート絶縁膜23と、ゲート絶縁膜23上に形成された凹型の形状を有するフローティングゲート30aと、フローティングゲート30a上に形成された中間絶縁膜25と、中間絶縁膜25上に形成されたコントロールゲート31とを有する構成とする。



1

【特許請求の範囲】

【請求項 1】フローティングゲートに電荷を蓄積する半導体不揮発性記憶装置であって、半導体基板のチャネル形成領域の少なくとも一方側に形成された素子分離絶縁膜と、前記チャネル形成領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された凹型の形状を有するフローティングゲートと、前記フローティングゲート上に形成された中間絶縁膜と、前記中間絶縁膜上に形成されたコントロールゲートとを有する半導体不揮発性記憶装置。

【請求項 2】前記素子分離絶縁膜が、前記半導体基板に形成されたトレンチ状の素子分離用溝を絶縁体で埋め込んで形成された素子分離絶縁膜である請求項 1 記載の半導体不揮発性記憶装置。

【請求項 3】前記フローティングゲートが前記素子分離絶縁膜と上方で対向する領域を除く領域であって、前記チャネル形成領域と上方で対向する領域に形成されている請求項 1 記載の半導体不揮発性記憶装置。

【請求項 4】前記中間絶縁膜が前記フローティングゲートの少なくとも外壁の一部および凹型形状部分の内壁に接して形成されている請求項 1 記載の半導体不揮発性記憶装置。

【請求項 5】前記素子分離絶縁膜が前記半導体基板の表面に対して凸に形成されている請求項 1 記載の半導体不揮発性記憶装置。

【請求項 6】前記素子分離絶縁膜の前記半導体基板の表面よりも凸に突き出た部分の側壁と前記フローティングゲートの側壁の一部が接している請求項 5 記載の半導体不揮発性記憶装置。

【請求項 7】フローティングゲートに電荷を蓄積する半導体不揮発性記憶装置の製造方法であって、チャネル形成領域を有する半導体基板に凸に素子分離絶縁膜を形成する工程と、前記素子分離絶縁膜に挟まれた凹部である前記半導体基板のチャネル形成領域上にゲート絶縁膜を形成する工程と、前記素子分離絶縁膜の側壁と前記ゲート絶縁膜表面の形成する凹部に沿ってフローティングゲートを凹型の形状に形成する工程と、前記フローティングゲート上に中間絶縁膜を形成する工程と、前記中間絶縁膜上にコントロールゲートを形成する工程とを有する半導体不揮発性記憶装置の製造方法。

【請求項 8】前記素子分離絶縁膜を形成する工程の後、前記ゲート絶縁膜を形成する工程の前に、前記素子分離絶縁膜をマスクとして前記半導体基板を上面から除去して表面を低下させる工程をさらに有する請求項 7 記載の半導体不揮発性記憶装置の製造方法。

2

【請求項 9】前記素子分離絶縁膜を形成する工程の前に、前記半導体基板上にマスク層を形成する工程と、前記マスク層を素子分離パターンにパターン加工する工程と、前記マスク層をマスクとして前記半導体基板に素子分離用溝を形成する工程とをさらに有し、

前記素子分離絶縁膜を形成する工程が、前記マスク層と前記半導体基板に形成された溝を絶縁体で埋め込む工程を含み、

前記素子分離絶縁膜を形成する工程の後、前記ゲート絶縁膜を形成する工程の前に、前記マスク層と前記半導体基板に形成された溝の外部に形成された絶縁体を除去する工程と、前記マスク層を除去する工程とをさらに有する請求項 7 記載の半導体不揮発性記憶装置の製造方法。

【請求項 10】前記素子分離用溝を形成する工程の後、前記マスク層と前記半導体基板に形成された溝を絶縁体で埋め込む工程の前に、前記素子分離用溝の内壁に熱酸化絶縁膜を形成する工程をさらに有する請求項 9 記載の半導体不揮発性記憶装置の製造方法。

【請求項 11】前記ゲート絶縁膜を形成する工程の後、前記フローティングゲートを形成する工程の前に、前記半導体基板と前記素子分離絶縁膜の形成する凹凸に沿った凹凸表面を有するフローティングゲート用層を形成する工程をさらに有し、

前記フローティングゲートを凹型の形状に形成する工程が、前記素子分離絶縁膜の上層部分の前記フローティングゲート用層を除去する工程を含む請求項 7 記載の半導体不揮発性記憶装置の製造方法。

【請求項 12】前記フローティングゲート用層を形成する工程の後、前記フローティングゲートを凹型の形状に形成する工程の前に、前記フローティングゲート用層の表面の形成する凹部に犠牲層を形成する工程をさらに有し、

前記素子分離絶縁膜の上層部分の前記フローティングゲート用層を除去する工程が、前記フローティングゲート用層上方からの研磨処理を施して前記素子分離絶縁膜の上層部分の前記フローティングゲート用層を除去する工程を含み、

前記素子分離絶縁膜の上層部分の前記フローティングゲート用層を除去する工程の後、前記中間絶縁膜を形成する工程の前に、前記犠牲層を除去する工程をさらに有する請求項 11 記載の半導体不揮発性記憶装置の製造方法。

【請求項 13】前記犠牲層を除去する工程が、同時に前記素子分離絶縁膜を上面から除去して表面を低下させ、前記フローティングゲートの外壁を露出させる工程である請求項 12 記載の半導体不揮発性記憶装置の製造方法。

【請求項 14】前記フローティングゲートを凹型の形状に形成する工程の後、前記中間絶縁膜を形成する工程の前に、前記素子分離絶縁膜を上面から除去して表面を低

3

下させ、前記フローティングゲートの外壁を露出させる工程をさらに有する請求項 7 記載の半導体不揮発性記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体不揮発性記憶装置およびその製造方法に関し、特にトランジスタのゲート電極とチャネル形成領域の間に電荷を蓄積するフローティングゲートを有する半導体不揮発性記憶装置およびその製造方法に関する。

【0002】

【従来の技術】フロッピーディスクなどの磁気記憶装置に代わり、電氣的に書き換え可能な半導体不揮発性記憶装置（EEPROM: Electrically Erasable and Programmable ROM）が使われ始めている。EEPROMとしては、フローティングゲート型、MNOS型あるいはMONOS型、TEXTURED POLY型など、様々な特徴を有する構造のものが開発されている。

【0003】EEPROMの1つであるフローティングゲート型の半導体不揮発性記憶装置の一例の断面図を図9に示す。例えばLOCOS法などにより形成した素子分離絶縁膜22aにより分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜23が形成されており、その上層に例えばポリシリコンからなるフローティングゲート30aが形成されており、さらにその上層に例えばONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）からなる中間絶縁膜25が形成されている。中間絶縁膜25の上層には、例えばポリシリコンの下側コントロールゲート31aおよびタングステンシリサイドの上側コントロールゲート31bの積層体からなるコントロールゲート（ワード線）31が形成されている。また、半導体基板10中には図示しないソース・ドレイン拡散層が形成されており、これによりコントロールゲート31と半導体基板10中のチャネル形成領域の間に、絶縁膜に被覆されたフローティングゲートを有する電界効果トランジスタとなる。

【0004】上記の構造のフローティングゲート型記憶装置においては、フローティングゲート30aは膜中に電荷を保持する機能を持ち、ゲート絶縁膜23および中間絶縁膜25は電荷をフローティングゲート30a中に閉じ込める役割を持つ。コントロールゲート31および半導体基板10中のソース・ドレイン拡散層に適当な電圧を印加することにより、Fowler-Nordheim トンネル電流が生じ、ゲート絶縁膜23を通して半導体基板10からフローティングゲート30aへ電子が注入され、あるいはフローティングゲート30aから半導体基板10へ電子が放出される。

【0005】上記のようにフローティングゲート30a中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この

4

変化によりデータの記憶が可能となる。例えば、フローティングゲート30a中に電荷を蓄積することでデータの消去を行い、また、フローティングゲート30a中に蓄積した電荷を放出することでデータを書き込みすることができる。

【0006】上記のフローティングゲート型の半導体不揮発性記憶装置の製造方法について、図面を参照して以下に説明する。図10(a)に示すように、ウェルなどを形成したシリコン半導体基板10に、LOCOS法による酸化シリコン膜、あるいはトレンチ状の素子分離用溝を絶縁体で埋め込んで形成したSTI (Shallow Trench Isolation) 膜などによる素子分離絶縁膜22aを形成する。

【0007】次に、図10(b)に示すように、素子分離絶縁膜22aにより分離された半導体基板10のチャネル形成領域となる活性領域に、例えば熱酸化法による薄膜のゲート絶縁膜23を形成し、その上層に全面に、例えば減圧CVD法によりポリシリコンを堆積させてフローティングゲート用層30を形成する。

【0008】次に、図10(c)に示すように、フローティングゲート用層30の上層に、フローティングゲートを形成するためのレジスト膜R1をフォトリソグラフィにより形成する。このとき、素子分離絶縁膜22aとレジスト膜R1のオーバーラップ部分Lを取る必要がある。

【0009】次に、レジスト膜R1をマスクとしてフローティングゲート用層30に対してRIE（反応性イオンエッチング）などのエッチングを施し、フローティングゲート30aを形成し、その上層に例えばCVD法によりONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）を順に積層させ、中間絶縁膜25を形成する。その上層に例えばCVD法によりポリシリコンおよびタングステンシリサイドを順に積層させ、コントロールゲートパターンに加工して、ポリシリコンの下側コントロールゲート31aおよびタングステンシリサイドの上側コントロールゲート31bのポリサイド構造のコントロールゲート31を形成し、図9に至る。

【0010】上記の製造方法において、素子分離絶縁膜22aとレジスト膜R1のオーバーラップ部分Lはリソグラフィの合わせ余裕であり、リソグラフィの合わせ精度によるが、これがセルの高集積化を妨げ、メモリセルの特性にばらつきを与えている。

【0011】上記のフローティングゲート型の半導体不揮発性記憶装置の製造方法において高集積化を妨げている素子分離絶縁膜22aとレジスト膜R1のオーバーラップ部分Lを取ることを不要にすることができる。素子分離絶縁膜をフローティングゲートに対して自己整合的に形成する方法が特開平8-125148号公報に開示されており、この方法により製造したフローティングゲート型の半導体不揮発性記憶装置の断面図を図11に示

5

す。トレンチ状の素子分離用溝を絶縁体で埋め込んで形成したSTI膜による素子分離絶縁膜22aにより分離された半導体基板10の活性領域上に、例えば薄膜の酸化シリコンからなるゲート絶縁膜23が形成されており、その上層に例えばポリシリコンからなるフローティングゲート30aが形成されており、さらにその上層に例えばONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）からなる中間絶縁膜25が形成されている。中間絶縁膜25の上層には、例えばポリシリコンの下側コントロールゲート31aおよびタングステンシリサイドの上側コントロールゲート31bの積層体からなるコントロールゲート（ワード線）31が形成されている。また、半導体基板10中には図示しないソース・ドレイン拡散層が形成されており、これによりコントロールゲート31と半導体基板10中のチャネル形成領域の間に、絶縁膜に被覆されたフローティングゲートを有する電界効果トランジスタとなる。

【0012】上記の構造の半導体不揮発性記憶装置において、フローティングゲート30aは膜中に電荷を保持する機能を持ち、ゲート絶縁膜23および中間絶縁膜25は電荷をフローティングゲート30a中に閉じ込める役割を持ち、例えば、フローティングゲート30a中に電荷を蓄積することでデータの消去を行い、また、フローティングゲート30a中に蓄積した電荷を放出することでデータを書き込みすることができる。

【0013】上記のフローティングゲート型の半導体不揮発性記憶装置の製造方法について、図面を参照して以下に説明する。図12(a)に示すように、ウェルなどを形成したチャネル形成領域となるシリコン半導体基板10の活性領域に、例えば熱酸化法により全面に薄膜のゲート絶縁膜を形成し、その上層に例えばCVD法によりポリシリコンを堆積させてフローティングゲート用層を形成し、その上層に例えばCVD法により酸化シリコンを堆積させてマスク層を形成し、その上層にフローティングゲートパターンにパターニングしたレジスト膜R2を形成する。次に、レジスト膜R2をマスクとしてマスク層、フローティングゲート用層およびゲート絶縁膜に対して各条件でのRIEなどのエッチングを施し、パターン加工したフローティングゲート30aを形成する。

【0014】次に、図12(b)に示すように、レジスト膜R2をマスクとしたRIEなどのエッチングにより半導体基板10にエッチングを施し、素子分離用溝Tを形成する。ここで、レジスト膜R2をマスクとして半導体基板10までエッチングして素子分離用溝Tを形成する代わりに、マスク層26にフローティングゲートパターンを転写した後、レジスト膜R2を除去して、マスク層26をマスクとしてフローティングゲート用層、ゲート絶縁膜、および半導体基板10を順にエッチングして素子分離用溝Tを形成することもできる。

6

【0015】次に、レジスト膜を除去した後、例えばCVD法により酸化シリコンを全面に堆積させ、さらに酸化シリコンをエッチングする条件で全面にエッチバックを施して、素子分離用溝Tに埋め込まれた素子分離絶縁膜22aを形成する。このときのエッチバックにより、マスク層26は除去される。

【0016】次に、図11に示すように、フローティングゲート30aの上層に全面に例えばCVD法によりONO膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）を順に積層させ、中間絶縁膜25を形成する。その上層に例えばCVD法によりポリシリコンおよびタングステンシリサイドを順に積層させ、コントロールゲートパターンに加工して、ポリシリコンの下側コントロールゲート31aおよびタングステンシリサイドの上側コントロールゲート31bのポリサイド構造のコントロールゲート31を形成し、図11に至る。

【0017】上記のようにして製造した半導体不揮発性記憶装置は、トレンチ状に埋め込まれた素子分離絶縁膜22aを形成するための素子分離用溝Tをフローティングゲート30aパターンに対して自己整合的に形成していることから、セルの高集積化を妨げ、メモリセルの特性にばらつきを与えている素子分離絶縁膜とレジスト膜のオーバーラップ部分をとることがなく、装置の高集積化に適している。また、素子分離絶縁膜2aの幅とフローティングゲート30aの幅はそれぞれリソグラフィーにおける最小線幅で形成することができ、この点からも装置の高集積化に適している。

【0018】

【発明が解決しようとする課題】しかしながら、上記の従来の半導体不揮発性記憶装置は、高集積化、微細化をさらに進めた場合、フローティングゲートとコントロールゲートとが中間絶縁膜を介して接する面積、すなわち、フローティングゲートとコントロールゲートの重なり部分が小さくなるという問題があり、これは言い換えれば、フローティングゲートとコントロールゲートとのカップリング比が小さくなってしまいうということとなる。コントロールゲートの形成する電界によってフローティングゲートへの電荷の注入および放出を制御することから、フローティングゲートとコントロールゲートとが中間絶縁膜を介して接する面積が小さく、カップリング比が小さい場合には、フローティングゲートへの電荷の注入および放出の制御が困難となってしまう。従って、フローティングゲートとコントロールゲートとが中間絶縁膜を介して接する面積、すなわちフローティングゲートとコントロールゲートとのカップリング比は大きく取ることが望ましい。

【0019】本発明は上記の問題点を鑑みてなされたものであり、従って、本発明は、コントロールゲートとフローティングゲートのカップリング比を大きくとることが可能で、さらに装置の高集積化、微細化をすることが

7

できる、半導体不揮発性記憶装置およびその製造方法を提供することを目的とする。

【0020】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体不揮発性記憶装置は、フローティングゲートに電荷を蓄積する半導体不揮発性記憶装置であって、半導体基板のチャネル形成領域の少なくとも一方側に形成された素子分離絶縁膜と、前記チャネル形成領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された凹型の形状を有するフローティングゲートと、前記フローティングゲート上に形成された中間絶縁膜と、前記中間絶縁膜上に形成されたコントロールゲートとを有する。

【0021】上記の本発明の半導体不揮発性記憶装置は、フローティングゲートは膜中に電荷を保持する機能を持ち、ゲート絶縁膜および中間絶縁膜は電荷をフローティングゲート中に閉じ込める役割を持つ。コントロールゲートおよび半導体基板中のソース・ドレイン拡散層に適当な電圧を印加することにより、Fowler-Nordheim トンネル電流が生じ、ゲート絶縁膜を通して半導体基板からフローティングゲートへ電子が注入され、あるいはフローティングゲートから半導体基板へ電子が放出される。フローティングゲート中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。例えば、フローティングゲート中に電荷を蓄積することでデータの消去を行い、また、フローティングゲート中に蓄積した電荷を放出することでデータを書き込みすることができる。

【0022】上記のような半導体不揮発性記憶装置において、高集積化、微細化をさらに進めた場合、フローティングゲートとコントロールゲートとが中間絶縁膜を介して接する面積、すなわち、フローティングゲートとコントロールゲートのカップリング比が小さくなって、フローティングゲートへの電荷の注入および放出の制御が困難となってしまうが、上記の本発明の半導体不揮発性記憶装置によれば、凹型の形状を有するフローティングゲートを有していることから、フローティングゲートの表面積を広くすることが可能であり、このため、装置の高集積化、微細化をさらに進めてもフローティングゲートとコントロールゲートとが中間絶縁膜を介して接する面積、すなわち、フローティングゲートとコントロールゲートのカップリング比を確保することができ、フローティングゲートへの電荷の注入および放出の制御を確実に行うことが可能となる。

【0023】上記の本発明の半導体不揮発性記憶装置は、好適には、前記素子分離絶縁膜が、前記半導体基板に形成されたトレンチ状の素子分離用溝を絶縁体で埋め込んで形成された素子分離絶縁膜である。これにより、素子分離絶縁膜をチャネル形成領域に対して自己整合的

8

に形成することができ、チャネル形成領域と素子分離絶縁膜の幅をフォトリソグラフィ工程における最小線幅で形成することが可能であり、半導体不揮発性記憶装置の高集積化、微細化をさらに進めることができる。

【0024】上記の本発明の半導体不揮発性記憶装置は、好適には、前記フローティングゲートが前記素子分離絶縁膜と上方で対向する領域を除く領域であって、前記チャネル形成領域と上方で対向する領域に形成されている。これにより、半導体基板に形成する素子分離用溝に埋め込んで形成する素子分離絶縁膜をフローティングゲートに対して自己整合的に形成することが可能となり、また、フローティングゲートと素子分離絶縁膜の幅をフォトリソグラフィ工程における最小線幅で形成することが可能であり、半導体不揮発性記憶装置の高集積化、微細化を高めることが可能となる。

【0025】上記の本発明の半導体不揮発性記憶装置は、好適には、前記中間絶縁膜が前記フローティングゲートの少なくとも外壁の一部および凹型形状部分の内壁に接して形成されている。これにより、凹型の形状を有するフローティングゲートの表面積を有効に利用し、フローティングゲートとコントロールゲートのカップリング比を高めることができる。

【0026】上記の本発明の半導体不揮発性記憶装置は、好適には、前記素子分離絶縁膜が前記半導体基板の表面に対して凸に形成されており、さらに好適には、前記素子分離絶縁膜の前記半導体基板の表面よりも凸に突き出た部分の側壁と前記フローティングゲートの側壁の一部が接している。これにより、半導体基板に対して凸に形成した素子分離絶縁膜の側壁を利用して、素子分離絶縁膜の側壁とゲート絶縁膜表面の形成する凹部に沿ってフローティングゲートを凹型の形状に形成することができ、フローティングゲートの表面積を広くすることが可能となり、装置の高集積化および微細化を進めることが可能となる。

【0027】さらに、上記の目的を達成するため、本発明の半導体不揮発性記憶装置の製造方法は、フローティングゲートに電荷を蓄積する半導体不揮発性記憶装置の製造方法であって、チャネル形成領域を有する半導体基板に凸に素子分離絶縁膜を形成する工程と、前記素子分離絶縁膜に挟まれた凹部である前記半導体基板のチャネル形成領域上にゲート絶縁膜を形成する工程と、前記素子分離絶縁膜の側壁と前記ゲート絶縁膜表面の形成する凹部に沿ってフローティングゲートを凹型の形状に形成する工程と、前記フローティングゲート上に中間絶縁膜を形成する工程と、前記中間絶縁膜上にコントロールゲートを形成する工程とを有する。

【0028】上記の本発明の半導体不揮発性記憶装置の製造方法は、チャネル形成領域を有する半導体基板に凸に素子分離絶縁膜を形成し、素子分離絶縁膜に挟まれた凹部である半導体基板のチャネル形成領域上にゲート絶

9

縁膜を形成する。次に、凸の形状の素子分離絶縁膜の側壁を利用して、素子分離絶縁膜の側壁とゲート絶縁膜表面の形成する凹部に沿ってフローティングゲートを凹型の形状に形成する。この後は、フローティングゲート上に中間絶縁膜を形成し、中間絶縁膜上にコントロールゲートを形成する。

【0029】上記の本発明の半導体不揮発性記憶装置の製造方法によれば、半導体基板に対して凸に形成した素子分離絶縁膜の側壁を利用して、フローティングゲートを凹型の形状に形成することができ、フローティングゲートの表面積を広くすることができる。これにより、高集積化、微細化をさらに進めてもフローティングゲートとコントロールゲートとが中間絶縁膜を介して接する面積、すなわち、フローティングゲートとコントロールゲートのカップリング比を確保することができ、フローティングゲートへの電荷の注入および放出の制御を確実に行うことが可能となる。

【0030】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程の後、前記ゲート絶縁膜を形成する工程の前に、前記素子分離絶縁膜をマスクとして前記半導体基板を上面から除去して表面を低下させる工程をさらに有する。これにより、半導体基板に対して凸に素子分離絶縁膜を形成する際に、半導体基板に対して素子分離絶縁膜が凸に突き出た部分の高さを制御することができ、その側壁を利用してフローティングゲートを凹型の形状に形成することができる。

【0031】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記素子分離絶縁膜を形成する工程の前に、前記半導体基板上にマスク層を形成する工程と、前記マスク層を素子分離パターンにパターン加工する工程と、前記マスク層をマスクとして前記半導体基板に素子分離用溝を形成する工程とをさらに有し、前記素子分離絶縁膜を形成する工程が、前記マスク層と前記半導体基板に形成された溝を絶縁体で埋め込む工程を含み、前記素子分離絶縁膜を形成する工程の後、前記ゲート絶縁膜を形成する工程の前に、前記マスク層と前記半導体基板に形成された溝の外部に形成された絶縁体を除去する工程と、前記マスク層を除去する工程とをさらに有する。これにより、マスク層の膜厚の分、半導体基板に対して凸に突き出た素子分離絶縁膜を形成することができる。マスク層の膜厚を制御することで半導体基板に対して素子分離絶縁膜が凸に突き出た部分の高さを制御することができる。

【0032】上記の本発明の半導体不揮発性記憶装置の製造方法は、さらに好適には、前記素子分離用溝を形成する工程の後、前記マスク層と前記半導体基板に形成された溝を絶縁体で埋め込む工程の前に、前記素子分離用溝の内壁に熱酸化絶縁膜を形成する工程をさらに有する。これにより、半導体基板に素子分離用に溝を形成す

10

るときに発生したダメージを除去することができる。

【0033】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記ゲート絶縁膜を形成する工程の後、前記フローティングゲートを形成する工程の前に、前記半導体基板と前記素子分離絶縁膜の形成する凹凸に沿った凹凸表面を有するフローティングゲート用層を形成する工程をさらに有し、前記フローティングゲートを凹型の形状に形成する工程が、前記素子分離絶縁膜の上層部分の前記フローティングゲート用層を除去する工程を含み、さらに好適には、前記フローティングゲート用層を形成する工程の後、前記フローティングゲートを凹型の形状に形成する工程の前に、前記フローティングゲート用層の表面の形成する凹部に犠牲層を形成する工程をさらに有し、前記素子分離絶縁膜の上層部分の前記フローティングゲート用層を除去する工程が、前記フローティングゲート用層上方からの研磨処理を施して前記素子分離絶縁膜の上層部分の前記フローティングゲート用層を除去する工程を含み、前記素子分離絶縁膜の上層部分の前記フローティングゲート用層を除去する工程の後、前記中間絶縁膜を形成する工程の前に、前記犠牲層を除去する工程をさらに有する。これにより、半導体基板に対して凸に突き出た素子分離絶縁膜を利用してフローティングゲートを凹型の形状に形成することができる。

【0034】上記の本発明の半導体不揮発性記憶装置の製造方法は、さらに好適には、前記犠牲層を除去する工程が、同時に前記素子分離絶縁膜を上面から除去して表面を低下させ、前記フローティングゲートの外壁を露出させる工程である。これにより、フローティングゲートとコントロールゲートのカップリング比に寄与する有効なフローティングゲートの表面積を広くすることが可能であり、また、犠牲層の除去工程と素子分離絶縁膜を上面から除去して表面を低下させる工程を同時に行うことで工程を簡略化することができる。

【0035】上記の本発明の半導体不揮発性記憶装置の製造方法は、好適には、前記フローティングゲートを凹型の形状に形成する工程の後、前記中間絶縁膜を形成する工程の前に、前記素子分離絶縁膜を上面から除去して表面を低下させ、前記フローティングゲートの外壁を露出させる工程をさらに有する。これにより、フローティングゲートとコントロールゲートのカップリング比に寄与する有効なフローティングゲートの表面積を広くすることができる。

【0036】

【発明の実施の形態】以下に、本発明の半導体不揮発性記憶装置およびその製造方法の実施の形態について、図面を参照して下記に説明する。

【0037】第1実施形態

図1は本実施形態の半導体不揮発性記憶装置の断面図である。半導体基板10に形成された素子分離用溝Tに埋

11

め込まれて、半導体基板 10 に対して凸に形成された素子分離絶縁膜 22 a により分離されたチャネル形成領域上に、例えばシリコン酸化膜からなるゲート絶縁膜 23 が形成されており、その上層に例えばポリシリコンからなる凹型の形状を有するフローティングゲート 30 a が形成されており、さらにその上層に例えば ONO 膜（酸化膜-窒化膜-酸化膜の積層絶縁膜）からなる中間絶縁膜 25 が形成されている。素子分離絶縁膜 22 a の半導体基板 10 の表面よりも凸に突き出た部分の側壁とフローティングゲート 30 a の側壁の一部が接している構造となっており、また、フローティングゲート 30 a はチャネル形成領域内に形成されていて素子分離絶縁膜 22 a との重なり部分を有していない。

【0038】また、中間絶縁膜 25 の上層には、例えばポリシリコンからなる下側コントロールゲート 31 a とタングステンシリサイドからなる上側コントロールゲート 31 b のポリサイド構造を有するコントロールゲート（ワード線）31 が形成されている。また、半導体基板 10 中には図示しないソース・ドレイン拡散層が形成されている。これによりコントロールゲート 31 と半導体

基板 10 中のチャネル形成領域の間に、絶縁膜に被覆されたフローティングゲート 30 a を有する電界効果トランジスタとなる。

【0039】上記の半導体不揮発性記憶装置は、フローティングゲート 30 a は膜中に電荷を保持する機能を持ち、ゲート絶縁膜 23 および中間絶縁膜 25 は電荷をフローティングゲート 30 a 中に閉じ込める役割を持つ。コントロールゲート 31 および半導体基板中の図示しないソース・ドレイン拡散層に適当な電圧を印加することにより、Fowler-Nordheim トンネル電流が生じ、ゲート絶縁膜 23 を通して半導体基板 10 からフローティングゲート 30 a へ電子が注入され、あるいはフローティングゲート 30 a から半導体基板 10 へ電子が放出される。フローティングゲート 30 a 中に電荷が蓄積されると、この蓄積電荷による電界が発生するため、トランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。例えば、フローティングゲート 30 a 中に電荷を蓄積することでデータの消去を行い、また、フローティングゲート 30 a 中に蓄積した電荷を放出することでデータを書き込みすることができる。

【0040】上記の半導体不揮発性記憶装置は、凹型の形状を有するフローティングゲート 30 a を有しており、その外壁の一部および凹型形状部分の内壁がフローティングゲートとコントロールゲートのカップリング比の向上に寄与する表面となっている。従って、必要なカップリング比を確保できるので、フローティングゲートへの電荷の注入および放出の制御を確実に行うことが可能となり、装置の高集積化および微細化を進めることが可能となる。また、フローティングゲート 30 a はチャネル形成領域内に形成されており、素子分離絶縁膜 22

12

a との重なり部分を有していないことから、半導体基板 10 に形成する素子分離用溝 T に埋め込んで形成する素子分離絶縁膜 22 a をフローティングゲート 30 a に対して自己整合的に形成することが可能となり、装置の高集積化、微細化を高めることが可能となる。また、フローティングゲート 30 a と素子分離絶縁膜 22 a の幅をフォトリソグラフィ工程における最小線幅で形成することが可能であり、この点においても装置の高集積化、微細化を高めることが可能となる。

10 【0041】次に、上記の本実施形態の半導体不揮発性記憶装置の製造方法について説明する。まず、図 2

(a) に示すように、ウェルなどを形成したチャネル形成領域を有するシリコン半導体基板 10 上に、例えば熱酸化法により酸化シリコンを 10~20 nm の膜厚で堆積させて第 1 絶縁膜 20 を形成し、その上層に、例えば CVD 法により窒化シリコンを 100~500 nm の膜厚で堆積させてマスク層 21 を形成する。

【0042】次に、図 2 (b) に示すように、フォトリソグラフィ工程により、素子分離パターンにパターンニングしたレジスト膜を形成し、RIE（反応性イオンエッチング）などのエッチングにより、素子分離パターンに加工したマスク層 21 a を形成する。このとき、素子分離パターンとしては、素子分離絶縁膜を形成する幅と、形成しない幅をそれぞれフォトリソグラフィにおける最小線幅にすることができる。マスク層 21 a を加工した後、レジスト膜を除去する。

【0043】次に、図 2 (c) に示すように、マスク層 21 a をマスクとして第 1 絶縁膜 20 および半導体基板 10 に対して RIE などのエッチングを施し、十分な深さを有する素子分離用溝 T を形成する。この溝の深さは、例えば 300~500 nm とすることができる。次に、必要な場合には、素子分離用溝 T の底部に素子分離用の不純物イオンを例えば $10^{12} \sim 10^{13} / \text{cm}^2$ のドーズ量でイオン注入する。

【0044】次に、図 3 (d) に示すように、熱酸化法により、上記で形成した素子分離用溝の内壁に図示しない薄い酸化膜を形成して、素子分離用溝 T を形成するときに発生したダメージを除去した後、例えば TEOS (tetraethylorthosilicate) を原料とした減圧 CVD 法により酸化シリコンを堆積させ、素子分離用溝 T を埋め込んで素子分離絶縁膜用層 22 を形成する。

【0045】次に、図 3 (e) に示すように、例えば CMP (chemical mechanical polishing) 法により素子分離絶縁膜用層 22 の上面からマスク層 21 a をストップパとして研磨し、個々の素子分離用溝 T に分離した素子分離絶縁膜 22 a を形成する。

【0046】次に、図 3 (f) に示すように、例えばホットリン酸などのウェットエッチングによりマスク層 21 a を除去する。これにより、素子分離絶縁膜 22 a が半導体基板 10 に対して凸の形状とすることができる。

13

【0047】次に、図4 (g) に示すように、例えばR 1 Eなどにより第1絶縁膜20aを除去して半導体基板10のチャネル形成領域を露出させた後、例えば熱酸化法により露出させた半導体基板10のチャネル形成領域上に酸化シリコン膜を膜厚約10nm程度に形成し、ゲート絶縁膜23とする。次に、ゲート絶縁膜23の上層に全面に例えばCVD法により導電性不純物を含有するポリシリコンを膜厚20~100nmの膜厚で堆積させ、フローティングゲート用層30を形成する。あるいは、ポリシリコンを堆積させた後に導電性不純物をイオン注入してもよい。このとき、半導体基板10に対して凸に形成された素子分離絶縁膜22aとゲート絶縁膜23の表面の形成する凹凸の表面上にフローティングゲート用層30を形成することにより、ゲート絶縁膜23の上層部分に凹部表面を有する表面を形成することができる。

【0048】次に、図4 (h) に示すように、例えばCVD法により酸化シリコンを全面に、フローティングゲート用層30の表面の凹部を埋め込んで300~500nmの膜厚で堆積させ、犠牲層24を形成する。

【0049】次に、図4 (i) に示すように、例えばCMP法により犠牲層24の上面からフローティングゲート用層30をストップとして研磨し、フローティングゲート用層30の表面の凹部に埋め込まれた犠牲層24aに加工する。

【0050】次に、図5 (j) に示すように、例えばCMP法によりフローティングゲート用層30の上面から素子分離絶縁膜22aをストップとして研磨し、素子分離絶縁膜22aの上層部分のフローティングゲート用層30を除去して、個々に分離した凹型の形状を有するフローティングゲート30aを形成する。

【0051】次に、図5 (k) に示すように、例えばフッ酸系のウェットエッチングなどにより犠牲層24aを除去するとともに、素子分離絶縁膜を上面からエッチング除去して表面を低下させ、フローティングゲート30aの外壁の一部を露出させる。これにより、フローティングゲート30aの側壁をコントロールゲートとのカップリングに有効な表面とすることができる。

【0052】次に、図5 (l) に示すように、フローティングゲート30aを被覆して全面に例えばCVD法によりONO膜(酸化膜-窒化膜-酸化膜の積層絶縁膜)を約15nmの膜厚で堆積させ、中間絶縁膜25を形成する。このとき、中間絶縁膜25は、フローティングゲート30aの露出させた外壁および凹型形状部分の内壁を被覆して形成する。このときの中間絶縁膜25の表面の凹型形状部分の幅Wは、例えば約80nmとすることができる。

【0053】次に、中間絶縁膜25の上層に例えばCVD法によりポリシリコンおよびタングステンシリサイドを順に堆積させ、フォトリソグラフィ工程によりコン

14

トロールゲートパターンに形成したレジスト膜をマスクとしてエッチング加工を施し、ポリシリコンの下側コントロールゲート31aとタングステンシリサイド31bからなるポリサイド構造のコントロールゲート31を形成し、図1に示す装置に至る。この後の工程としては、コントロールゲートを被覆して層間絶縁膜を形成し、コンタクトなどを開口して、ビット線などの上層配線を形成し、所望の半導体不揮発性記憶装置とすることができる。

【0054】上記の本実施形態の半導体不揮発性記憶装置の製造方法によれば、半導体基板に対して凸に形成した素子分離絶縁膜の側壁を利用して、フローティングゲートを凹型の形状に形成することができ、フローティングゲートの表面積を広くすることができる。これにより、高集積化、微細化をさらに進めてもフローティングゲートとコントロールゲートとが中間絶縁膜を介して接する面積、すなわち、フローティングゲートとコントロールゲートのカップリング比を確保することができ、フローティングゲートへの電荷の注入および放出の制御を確実に行うことが可能となる。

【0055】第2実施形態

次に、第2実施形態における半導体不揮発性記憶装置の製造方法について説明する。本実施形態において製造する半導体不揮発性記憶装置は、第1実施形態において製造したものと実質的に同一の半導体不揮発性記憶装置である。

【0056】まず、図6 (a) に示すように、ウェルなどを形成したチャネル形成領域を有するシリコン半導体基板10上に、例えば熱酸化法により酸化シリコンを10~20nmの膜厚で堆積させて第1絶縁膜20を形成し、その上層に、例えばCVD法により窒化シリコンを約100nmの膜厚で、第1実施形態に比べて薄く堆積させてマスク層21を形成する。

【0057】次に、図6 (b) に示すように、フォトリソグラフィ工程により、素子分離パターンにパターンニングしたレジスト膜を形成し、RIE(反応性イオンエッチング)などのエッチングにより、素子分離パターンに加工したマスク層21aを形成する。このとき、素子分離パターンとしては、素子分離絶縁膜を形成する幅と、形成しない幅をそれぞれフォトリソグラフィにおける最小線幅にすることができる。マスク層21aを加えた後、レジスト膜を除去する。

【0058】次に、図6 (c) に示すように、マスク層21aをマスクとして第1絶縁膜20および半導体基板10に対してRIEなどのエッチングを施し、十分な深さを有する素子分離用溝Tを形成する。この溝の深さは、例えば300~500nmとすることができる。次に、必要な場合には、素子分離用溝Tの底部に素子分離用の不純物イオンを例えば $1.0 \times 10^{12} \sim 1.0 \times 10^{13} / \text{cm}^2$ のドーズ量でイオン注入する。

15

【0059】次に、図7(d)に示すように、熱酸化法により、上記で形成した素子分離用溝の内壁に図示しない薄い酸化膜を形成して、素子分離用溝Tを形成するときに発生したダメージを除去した後、例えばTEOS

(tetraethylorthosilicate)を原料とした減圧CVD法により酸化シリコンを堆積させ、素子分離用溝Tを埋め込んで素子分離絶縁膜用層22を形成する。

【0060】次に、図7(e)に示すように、例えばCMP (chemical mechanical polishing) 法により素子分離絶縁膜用層22の上面からマスク層21aをストップバとして研磨し、個々の素子分離用溝Tに分離した素子分離絶縁膜22aを形成する。

【0061】次に、図8(f)に示すように、例えばホットリン酸などのウェットエッチングによりマスク層21aを除去する。これにより、素子分離絶縁膜22aが半導体基板10に対して凸の形状とすることができる。

【0062】次に、図8(g)に示すように、例えばRIEなどにより第1絶縁膜20aを除去して半導体基板10のチャネル形成領域ARを露出させた後、素子分離絶縁膜22aをマスクとしたRIEなどのエッチングにより半導体基板10のエッチングを施し、半導体基板10の表面を下げて素子分離絶縁膜22aに対して十分な深さDを持つように形成する。例えば、前記の深さDとしては約200nm程度とし、半導体基板10表面から素子分離用溝Tの底部までの深さは約300nm程度とすることができる。

【0063】以降の工程としては、例えば熱酸化法により露出させた半導体基板10のチャネル形成領域AR上に酸化シリコン膜を膜厚約10nm程度に形成し、ゲート絶縁膜を形成するなどして、第1実施形態の製造工程と同様の工程により製造する。

【0064】上記の本実施形態の半導体不揮発性記憶装置の製造方法によれば、第1実施形態と同様に、半導体基板に対して凸に形成した素子分離絶縁膜の側壁を利用して、フローティングゲートを凹型の形状に形成することができ、フローティングゲートの表面積を広くすることができるので、高集積化、微細化をさらに進めてもフローティングゲートへの電荷の注入および放出の制御を確実に行うことが可能となる。

【0065】本発明の半導体不揮発性記憶装置およびその製造方法は、上記の実施の形態に限定されない。例えば、コントロールゲートはポリサイドの2層構成としているが、1層としてもよく、また3層以上の多層構成としてもよい。フローティングゲートも多層構成とすることができる。また、ソース・ドレイン拡散層は、LDD構造などの種々の構造を採用してよい。半導体記憶装置としてはNOR型、NAND型、どちらでもよく、電荷のフローティングゲートへの注入は、データの書き込み、消去のどちらに相当する場合でも構わない。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可

16

能である。

【0066】

【発明の効果】本発明の半導体不揮発性記憶装置によれば、フローティングゲートに電荷を蓄積する半導体不揮発性記憶装置であって、コントロールゲートとフローティングゲートのカップリング比を大きくとることが可能で、さらに装置の高集積化、微細化をすることができる。半導体不揮発性記憶装置を提供することができる。

【0067】本発明の半導体不揮発性記憶装置の製造方法によれば、上記のコントロールゲートとフローティングゲートのカップリング比を大きくとることが可能で、さらに装置の高集積化、微細化をすることができる半導体不揮発性記憶装置を、容易に製造することが可能である。

【図面の簡単な説明】

【図1】図1は本発明の半導体不揮発性記憶装置の断面図である。

【図2】図2は本発明の第1実施形態にかかる半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、(a)はマスク層の形成工程まで、(b)はマスク層の素子分離パターン加工工程まで、(c)は素子分離用溝の形成工程までを示す。

【図3】図3は図2の続きの工程を示す断面図であり、(d)は素子分離絶縁膜用層の形成工程まで、(e)は素子分離絶縁膜の形成工程まで、(f)はマスク層の除去工程までを示す。

【図4】図4は図3の続きの工程を示す断面図であり、(g)はフローティングゲート用層の形成工程まで、(h)は犠牲層の形成工程まで、(i)はフローティングゲートの表面に形成された凹部の外部に形成された犠牲層を除去する工程までを示す。

【図5】図5は図4の続きの工程を示す断面図であり、(j)は素子分離絶縁膜の上層のフローティングゲート用層を除去する工程まで、(k)は犠牲層の除去および素子分離絶縁膜を上方から除去して表面を低下させる工程まで、(l)は中間絶縁膜の形成工程までを示す。

【図6】図6は本発明の第2実施形態にかかる半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、(a)はマスク層の形成工程まで、(b)はマスク層の素子分離パターン加工工程まで、(c)は素子分離用溝の形成工程までを示す。

【図7】図7は図6の続きの工程を示す断面図であり、(d)は素子分離絶縁膜用層の形成工程まで、(e)は素子分離絶縁膜の形成工程までを示す。

【図8】図8は図7の続きの工程を示す断面図であり、(f)はマスク層の除去工程まで、(g)は半導体基板を上方から除去して表面を低下させる工程までを示す。

【図9】図9は従来例1の半導体不揮発性記憶装置の断面図である。

【図10】図10は従来例1にかかる半導体不揮発性記

17

憶装置の製造方法の製造工程を示す断面図であり、

(a) は素子分離絶縁膜の形成工程まで、(b) はフローティングゲート用層の形成工程まで、(c) はフローティングゲートパターンのレジスト膜の形成工程までを示す。

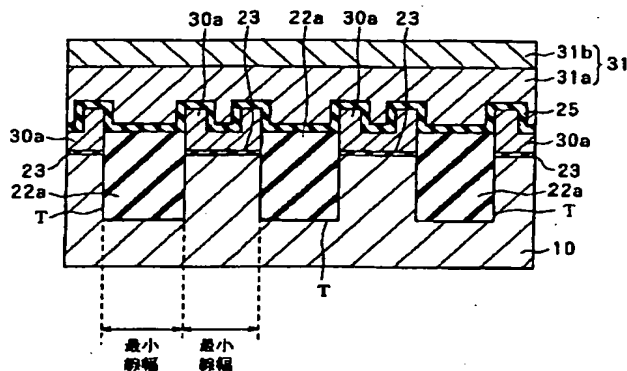
【図 11】 図 11 は従来例 2 の半導体不揮発性記憶装置の断面図である。

【図 12】 図 12 は従来例 2 にかかる半導体不揮発性記憶装置の製造方法の製造工程を示す断面図であり、

(a) はフローティングゲートの加工工程まで、(b) は素子分離絶縁膜の形成工程までを示す。

【符号の説明】

【図 1】



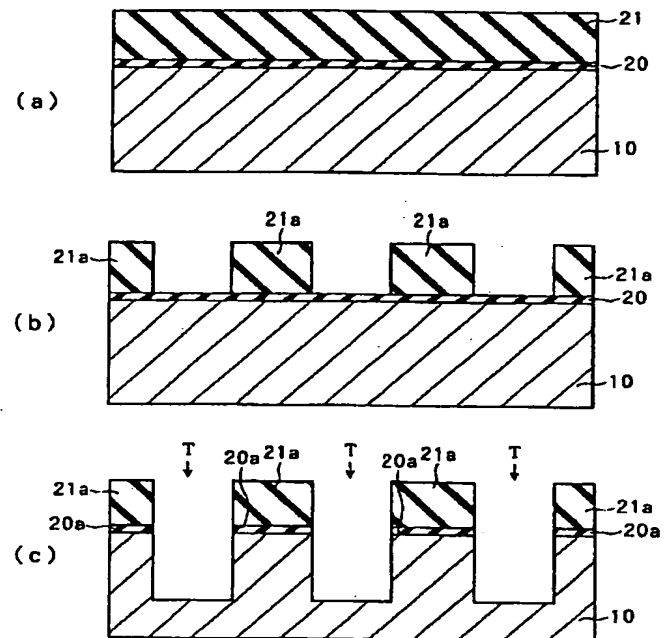
18

* 10…半導体基板、20、20a…第 1 絶縁膜、21、21a…マスク層、22…素子分離絶縁膜用層、22a…素子分離絶縁膜、23…ゲート絶縁膜、24、24a…犠牲層、25…中間絶縁膜、30…フローティングゲート用層、30a…フローティングゲート、31a…下側コントロールゲート、31b…上側コントロールゲート、R1、R2…レジスト膜、T…素子分離用溝、AR…チャネル形成領域、W…中間絶縁膜の表面の凹型形状部分の幅、D…素子分離絶縁膜に対する半導体基板の表面の深さ、L…素子分離絶縁膜とレジスト膜のオーバーラップ部分。

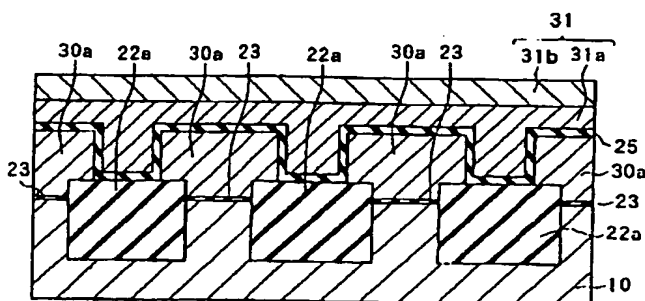
10

*

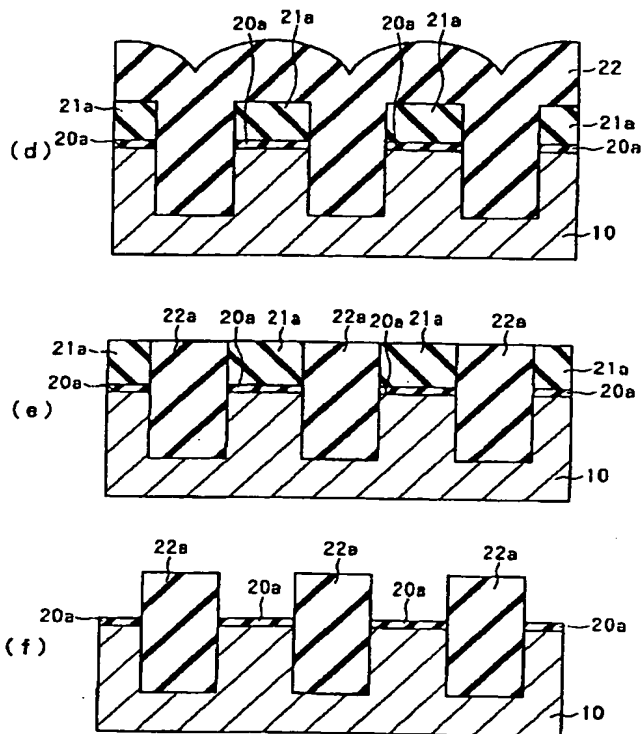
【図 2】



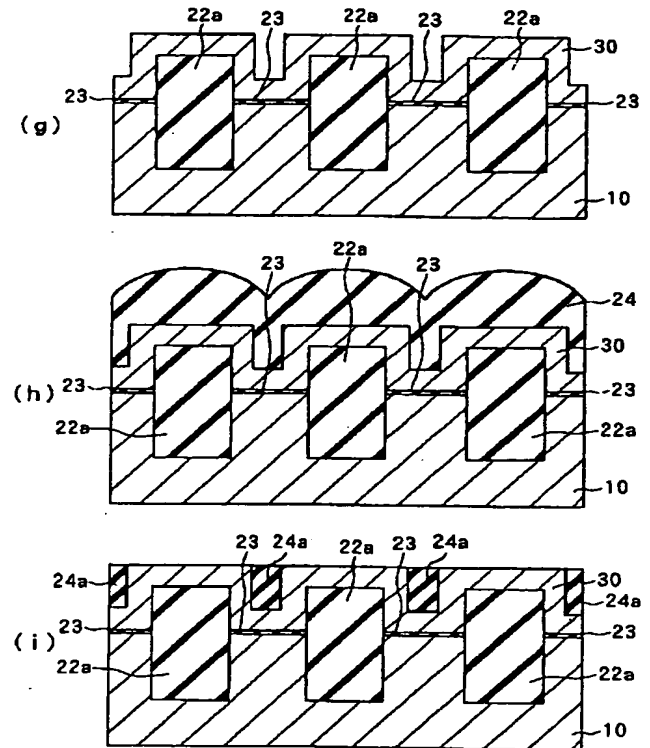
【図 9】



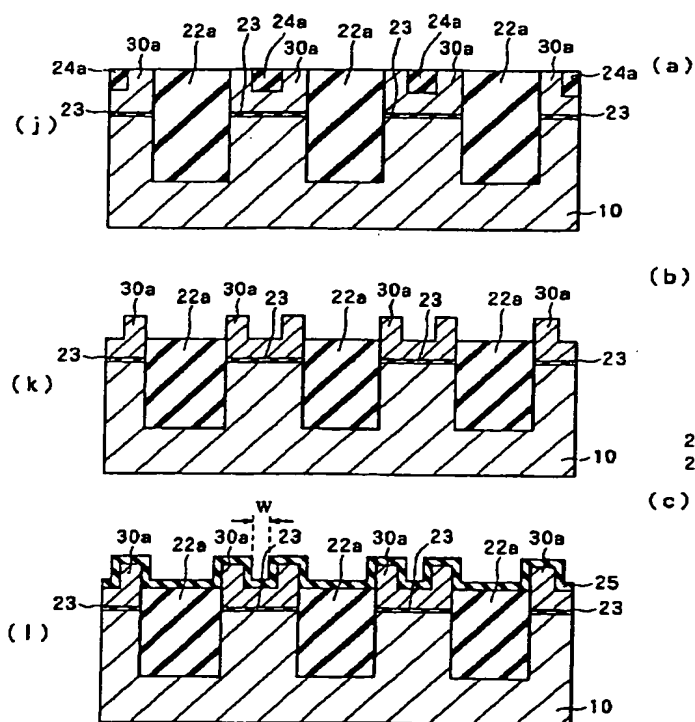
【図3】



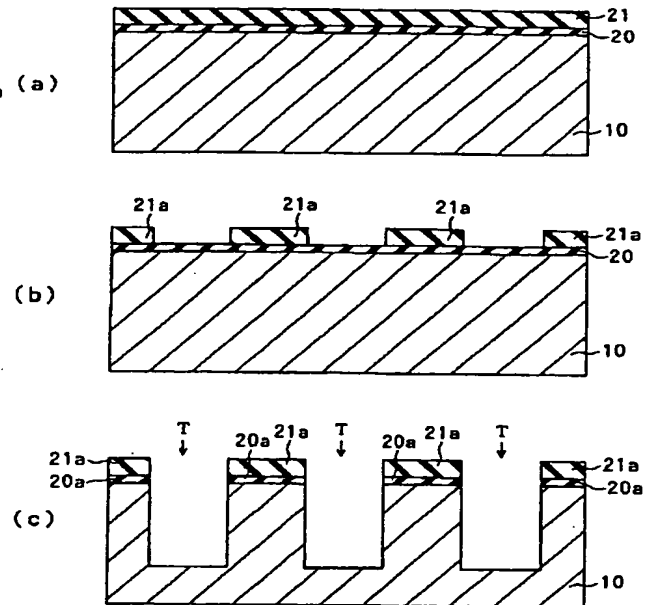
【図4】



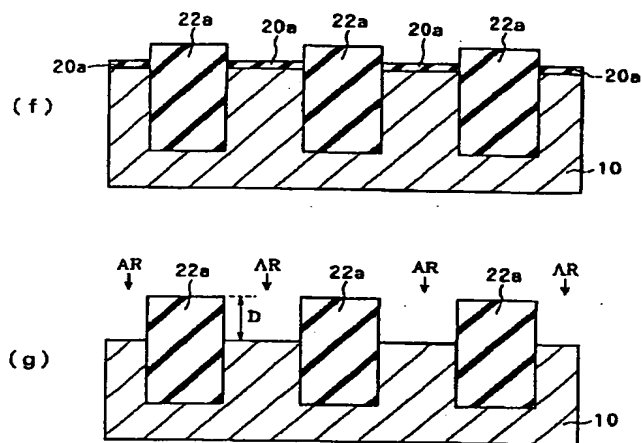
【図5】



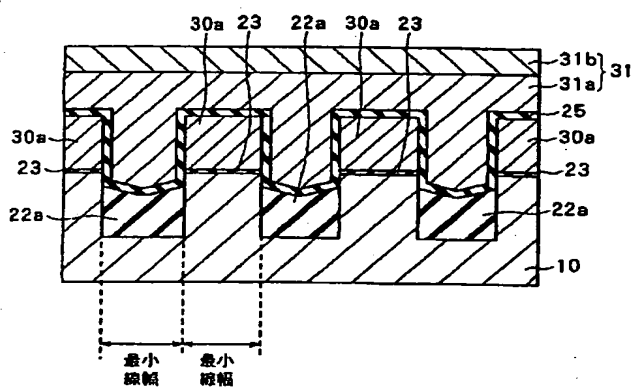
【図6】



【图 8】



【圖 1 1】



【図 12】

